

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210841

(43)Date of publication of application : 03.08.2001

(51)Int.Cl.

H01L 31/0232
H01S 5/026

(21)Application number : 2000-014358

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 24.01.2000

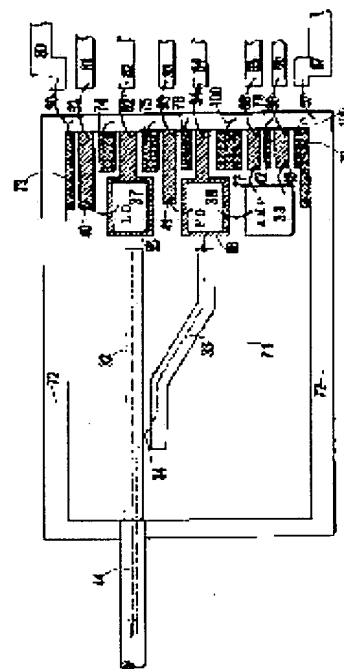
(72)Inventor : KUHARA MIKI
NAKANISHI HIROMI

(54) OPTICAL COMMUNICATION EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the occurrence of crosstalk between transmission and reception in a transmission module and a reception module and external noise in the reception and transmission modules.

SOLUTION: A module has a PD, LD, optical fiber, etc., mounted on its surface by using a low-resistance Si bench. The potential at the Si bench is set at a ground potential and electrodes are isolated from each other by providing a ground metallized pattern between electrode patterns. A Cu plate is fitted to the rear surface of the Si bench and set at the ground potential. Consequently, the occurrence of noise can be reduced by suppressing crosstalk between transmission and reception.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-210841

(P2001-210841A)

(13) 公開日 平成13年8月3日(2001.8.3)

(51) Int.Cl. ⁷	識別記号	F I	特許庁(参考)
H 0 1 L 31/0232		H 0 1 S 5/026	5 F 0 7 3
H 0 1 S 5/026		H 0 1 L 31/02	C 5 F 0 8 8

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願2000-14358(P2000-14358)

(71) 出願人 000002130

株式会社友電工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(22) 出願日 平成12年1月24日(2000.1.24)

(72) 発明者 工原 美樹

大阪府大阪市比花区烏屋一丁目1番3号住

友電工業株式会社大阪製作所内

(72) 発明者 中西 裕美

大阪府大阪市比花区烏屋一丁目1番3号住

友電工業株式会社大阪製作所内

(74) 代理人 100007847

弁護士 川瀬 茂樹

Fターム(参考) 5F073 CA12 FA06 FA13 FA18

5F088 A003 AB07 BA20 FA11 JA03

JA14 JA18

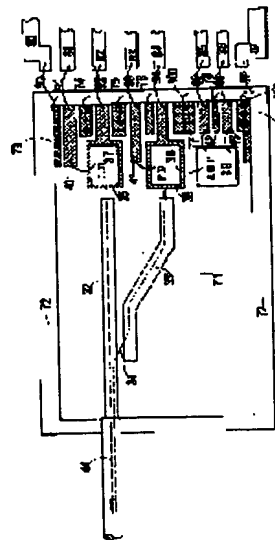
(54) 【発明の名称】 光通信装置

(57) 【要約】

【課題】 送受信モジュールにおいて送受信間のクロス

トークを減少させること。受信モジュール、送受信モジュールにおいて外部ノイズを低減すること。

【解決手段】 低抵抗のS iベンチを用いてP D、L D、光ファイバなど表面実装したモジュール。S iベンチをグラウンド電位として、電極パターンの間にグラウンドメタライズを設けて電極間をアイソレーションする。S iベンチの裏にC u板を付け、これもグラウンド電位とする。送受信間のクロストークを抑えノイズを減少させることができる。



【特許請求の範囲】

【請求項 1】 抵抗率が $1\Omega\text{cm}$ 以下の Si 基板の上に絶縁層を設け、この上に発光素子もしくは受光素子、もしくはこれらの組み合わせを搭載し、Si 基板をグラウンド電位に接続したことを特徴とする光通信装置。

【請求項 2】 抵抗率 $0.1\Omega\text{cm}$ 以下の Si 基板を用いることを特徴とする請求項 1 に記載の光通信装置。

【請求項 3】 グラウンド端子が、少なくとも一つ以上の絶縁層のない Si 基板部分に直接メタライズされた電極として形成されていることを特徴とする請求項 1 又は 2 に記載の光通信装置。

【請求項 4】 絶縁層のない Si 基板部分に設けたグラウンド端子が、絶縁層の上に設けた光デバイスの電極間を縫うように櫛歯状になっている事を特徴とする請求項 1 又は 2 に記載の光通信装置。

【請求項 5】 絶縁層の一部に光導波層などの光学系を含む事を特徴とする請求項 1 ～ 4 のいずれかに記載の光通信装置。

【請求項 6】 Si 基板の下部に金属製のグラウンド基板を接合した事を特徴とする請求項 1 ～ 5 のいずれかに記載の光通信装置。

【請求項 7】 Si 基板の厚みが 1.0mm から 1.5mm であり、その上に SiO₂ 系の導波路を形成し、InGaAsP 系の発光素子と受光素子を実装し、波長 $1.3\mu\text{m}$ から $1.55\mu\text{m}$ 帯までの光の送受信を行う事を特徴とする請求項 1 ～ 6 のいずれかに記載の光通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、光通信に用いる送信器、受信器、送受信器などに関する。特に表面実装型の光デバイスの基板に新機構を施したものである。

【0002】

【従来の技術】 従来の送信器や受信機は図 1 に示すレーザダイオード (LD) や、図 2 に示す受光素子 (PD) によって構成されている。図 1 の LD モジュール (半導体発光素子モジュール) は、金属製のステム 1 の中央部のボール 2 の側面に LD 3 を、円板状金属ステム 1 の中央部にモニタ PD 4 を固定している。円筒形有孔キャップ 5 と円筒形有孔のレンズホルダー 6 がステム 1 の上に取り付けられる。レンズホルダー 6 の開口部にレンズ 7 が固定される。円筒形レンズホルダー 6 の上には円錐形フェルルホルダー 8 が固定される。フェルルホルダー 8 の頂部には光ファイバ 9 の先端を把持するフェルル 10 が差し込まれている。LD 3 の光はステム面に垂直に出てレンズで絞られてフェルル 10 の中の光ファイバ 9 に入る。

【0003】 図 2 の PD モジュール (半導体受光素子モジュール) は、金属ステム 11 の中央部にサブマウント 12 を介して PD 13 を固定し、その上をレンズ 14 を

有する円筒形のキャップ 15 で覆っている。円筒形金属製のフェルルホルダー 16 をステム 11 の上に固定し上部の開口にフェルル 18 を挿入固定する。フェルル 18 は光ファイバ 19 の先端を保持している。

【0004】 光ファイバ 19 はステム面に垂直である。光ファイバ 19 から出た光はレンズ 14 によって絞られて PD 13 に垂直に入射する。光線とパッケージ (ステム) 面が直角であり三次元的な構成を持っている。金属製のパッケージが必要であるし調芯の箇所も多い。これらは主として、立体的な実装形態であり、小型化やコスト削減が限界に達しつつある。

【0005】 そこで、より小型化、より低コスト化のために Si 基板の上に V 溝を形成し、光ファイバと LD や PD を細かい調芯なしで実装する表面実装技術が開発されつつある。図 3、図 4 は表面実装型光モジュールの一例を示す。

【0006】 【従来例 1 (単機能表面実装モジュール)】 長方形板状の Si ペンチ 20 の後方一部に SiO₂ 絶縁層 21 を設け、その上にメタライズパターン 22、23 を印刷などによって形成する。一方のメタライズパターン 22 の上に PD チップ又は LD チップのような光素子チップ 24 を搭載する。ワイヤ 25 でチップ 24 の電極とメタライズパターン 23 が接続される。

【0007】 Si ペンチ 20 には縦方向中央に大 V 溝 26、小 V 溝 27 を穿てある。これは異方性エッチングによって設けることもできる機械加工によって形成することもできる。フェルル 28 に光ファイバ 29 を差し込み固定したものを準備しておき大 V 溝 26 にはフェルル 28 を、小 V 溝 27 には光ファイバ 29 を挿入し接着剤で固定する。Si ペンチ 20 やフェルル 28、光ファイバ 29 などの全体はマウント 30 の内部に収容される。

【0008】 ここで Si ペンチ 20 は基台として利用されており導電性は不要である。導電性はむしろ邪魔である。Si ペンチ材料として高抵抗率の Si 単結晶を用いる。半導体工業でデバイス製作に用いられる Si ウエハとこの点で異なる。メタライズパターンを形成する場合は絶縁層 21 を形成してから、その上に設けるようにする。絶縁層は SiO₂ や SiN である。

【0009】 Si ペンチのサイズは例えば $15\text{mm} \times 10\text{mm}$ 程度である。Si ペンチの表面にフォトリソグラフィ技術を用いてエッチングで光ファイバを固定する V 溝や、光デバイス (LD や PD) を固定するメタライズパターンや電極パターンを形成する。光の進行方向と基板面が平行であり二次元的な単純化された構成である。LD、PD は基板に付けたマークによって位置合わせされて固定される。時間と手間のかかる調芯は不要である。二次元的で体積も小さい。小型にできる。光学的接続が近接直接的なのでレンズのような集光光学系も省く事ができる。フォトリソグラフィ技術を使うため光ファ

イバと光デバイスとの結合が確実で、部品点数も少なく、小型低コストになる。これはSiベンチにV溝を設ける表面実装型モジュールであるが、V溝の代わりに光導波路を設けるものもある。

【0010】〔従来例2（ γ 分岐導波路型表面実装モジュール）〕図5は送信機能受信機能を一体化し、かつ光分岐を導波路で行う従来例にかかるモジュールを示す。一本の光ファイバに送信光（1.3 μ m）と受信光（1.55 μ m）を通し、 γ 分岐によって波長選択するものである。

【0011】Siベンチ（Si基板）31の上に光導波路32、33が形成される。導波路32、33は、SiO₂層の一部にGeをドーピングした高屈折率層を形成して作られる事が多い。Siベンチの上部にSiO₂の酸化膜を設け、その一部にGeのように屈折率を上げる作用のある不純物をドーピングする。それはコアに当たるので周囲をSiO₂の透明層で覆っている。Siベンチの上面は平坦であり図3のようなV溝はない。光導波路が光を導く作用を持つ。

【0012】Si基板の面上にSiO₂を一様に設けているからSi基板と表面は絶縁されている。絶縁された上面で光導波路の終端にメタライズパターン35、36を印刷などによって形成し、その上にLD37、PD38をボンディングしている。PD38の近傍にAMPチップ39がSi基板の表面に取り付けられている。PD38の光電流を増幅するためである。絶縁されているSi基板31の表面SiO₂層にはさらにメタライズパターン40、41、42、43が設けられている。ワイヤによってLD、PD、AMPの上部電極とパターンが電気的に接続される。

【0013】光導波路32、33は分岐34で信号を分配できるようになっている。光導波路32の始端は光ファイバ44が接続される。送信光はLD37から光導波路32を通り光ファイバ44に出てゆく。受信光は光ファイバ44から光導波路32、34、33を通過してPD38に入り受信される。これも光の進行方向と基板面が平行であり2次元的な単純化された構成になっている。LD、PDは基板に付けたマークによって位置合わせされて固定される。時間と手間のかかる調芯は不要である。V溝を設ける必要がない。平坦なデバイスとなる。有望な技術である。このSi基板も高抵抗のものである。

【0018】の程度である。このような計算は以後何度も出てくる。正確な計算でないで少し説明を加える。抵抗率が r の直方体の材料があり長さを L とし断面積を A とすると抵抗 R は $R = rL/A$ によって求められる。逆に抵抗率 r というのは抵抗 R を長さ L で割って断面積 A を掛けたものだと言ってもよい。つまり単位立方体の両面からの抵抗が抵抗率（比抵抗）である。MKS単位では Ω mが標準の単位である。しかし、ちょうど1 Ω c

る。通常のSi半導体産業で使うものではない。

【0014】〔従来例3（2本光ファイバ送受信型表面実装モジュール）〕これまでに述べたものは光ファイバを1本だけ用いるものであった。それだけでなく図6のように複数の光ファイバを複数の光デバイスと組み合わせて、送信や受信もしくはその双方を行う表面実装デバイスも提案されている。例えば高橋龍太、村上和也、須永頼則、所武彦、小林雅彦、「SFF光トランシーバ用光素子実装方法の検討」1999年電子情報通信学会エレクトロニクスソサイエティ大会C-3-28p133（1999）によって提案された。図6においてSi基板（Siベンチ）49の上の少なくとも一部にSiO₂絶縁層50を設けている。その上にメタライズパターンを設けるがメタライズパターンを互いに絶縁する必要があるので絶縁層50が必要である。複数の光ファイバと複数の光素子チップの結合構造は任意である。例えばV溝（図示しない）を穿って光ファイバ51、52をSi基板49に取り付ける。あるいは光ファイバ51、52をSi基板の端に接合して、Si基板の上には光導波路を設けることもある。図6は光ファイバの場合を示すが光導波路で置き換えることもできる。

【0015】SiO₂絶縁層50の上にメタライズパターン53、54、55、56を平行に設ける。パターン54、56は広いパッドを持ち、ここにLDチップ59、PDチップ58を実装する。LD、PD上部の電極とパターン53、55とはワイヤによって接続される。図7（e）はメタライズパターンを縦断して示す断面図である。Si基板49の上に絶縁層としてのSiO₂層50があり、その上に電極パターン53～56が設けられる。

【0016】Si基板は高抵抗とはいっても導電性があり電流が流れるので図7（b）のような等価回路となる。絶縁層は静電容量 $C1$ 、 $C2$ によって置き換える事ができる。Si基板49は抵抗 RSi によって表現する。電極パターン54と55の間は、 $C1$ 、 RSi 、 $C2$ によって接続される。隣接するパターンはこれらのコンデンサ、抵抗によって電気的に接続される。高抵抗のSi基板であって例えば1 Ω cmの抵抗率であるとする。パターンの間隔を2mm、厚みを1mm、長さを3mmとすると、 RSi は

$$【0017】 \quad RSi = 10 \times 0.2 / 0.1 \times 0.3 = 70 \Omega \quad (1)$$

mの程度の基板が問題になるから、ここでは Ω cmを単位とする。 Ω cm = 0.01 Ω mである。

【0019】計算では寸法はmmで表現しているから、0.1とか0.2とかいう数字が現れる。ここでは直方体の相対する2面間の抵抗ではなくて、ある面に張り付けた2本の平行な電極間の抵抗を計算するのであるから単純には行かない。厳密には様々な経路について積分する必要がある。しかし、ここでは単にオーダーが分

かれは良いので面の表裏に張り付けた2本の電極間の抵抗と同視して計算している。もちろん誤差があるが、どの計算にも共通の比率で現れる誤差であるから、相互に比較する場合には問題でない。

【0020】

【発明が解決しようとする課題】図6の回路を例に取る。その縦断面である図7を見ると電極1と電極2は図7(e)の波線中を等価回路(b)で表される。つまり隣接する電極はC1、RSI、C2によって接続される。LDの電極パターン54とPDの電極パターン55の間にもそのような関係がある。例えばLDのドライブ信号がC1、RSI、C2(CRC結合)を通して、PD側に回り込む。これを電氣的クロストークという。クロストークは低い方がよい。クロストークを低くするために、Si基板の抵抗率のできるだけ高いもの(10Ωcm~100Ωcm)を使用するのが常であるが、これでも十分にクロストークを低減することができない。表面実装(PLC)のSiO₂、Si基板を介するクロストークの問題をT.Ikeuchi, Y.Tochio, K.Mori, T.Yamamoto, H.Rokugawa, A.Abe, S.Yamada, K.Shimizu and M.Kawai, "High Sensitivity ATM-PON PLC Transceiver (ONU) by Unique Crosstalk Reduction Method", ECO C'99, 26-30 September 1999, Nice, France, pl-330が取り上げている。そして前置増幅器(AMP)の出力を155MHzのLPF(ローパスフィルタ)に通すことによってクロストークを除去できたというように報告している。基板を介する結合の問題を初めて提起した点で意味のあることである。しかし、このようにするとLPFという部品が増える訳で、コスト削減を至上のものとするPLCの改良として最善のものでない。それにLDから漏れるクロストークは高い周波数とは限らず低い周波数のLDノイズもあるからクロストーク抑制は不完全である。クロストークの一面しか見ていないと言える。

【0021】図3、図4の場合でも、Si基板(絶縁層)の容量を通し、Si基板の中途半端な抵抗でLDやPDの電極(一種のアンテナ)が結合されるような構造になっている。高抵抗率のSi基板(Siベンチ)は電位的には浮遊電位である。受信器とする場合は浮遊電位のSi基板とPDが、CRCを通じて結合する。送信器とする場合は浮遊電位のSi基板とLDが、CRC結合を通して結合する。受信器としては外界からのノイズを感じ易く、送信器としては外界へノイズを放射するような形になる。いくら高抵抗といっても、Siはバンドギャップが狭くてn型、p型不純物が少なくても抵抗率は低く、10Ωcm~100Ωcm程度より高くならない。絶縁体とみなせるほどに抵抗率を上げることはできない。それにこれら高抵抗率Si基板は半導体工業用のものとは違うから生産されておらず高コストになる。

【0022】

【課題を解決するための手段】本発明では、以上のような欠点をなくするために、Si基板の抵抗率を積極的に低くして、これをグラウンド板として使用する。より効果を高めるために、Cu板を表面に密着させて、グラウンドに接続する。さらに電極パターン間にグラウンドパターンを追加するとよい。

【0023】本発明の特徴は

1. 低抵抗率のSiをSiベンチに用いる。
2. Siベンチを接地電位にする。
3. Cu板をSiベンチ表面に付ける。
4. グラウンドパターンを追加してパターン間の結合を遮断する。

【0024】従来はSiベンチを絶縁体に近づけてLDとPD間の結合を減らすようにしていたが、本発明は反対にSiベンチを導体に近づけ、かつグラウンド電位に明確に固定する。

【0025】

【発明の実施の形態】従来のSiベンチは実装の空間を与える絶縁体の台と考えられ接地されておらず高抵抗率のものが用いられていた。本発明は反対に低抵抗率のSi基板をベンチに用いる。そしてSiベンチを接地する。高抵抗率のものなら一部をアースしても抵抗のために全体がグラウンドにならない。本発明はSi基板の抵抗率を下げるので一部を接地すると全体が有効なグラウンドとなる。LDチップ、PDチップや電極パターンのすぐ直下にグラウンド面があるからLD、PD間のクロストークを防ぐことができる。Si基板をグラウンド電位にすることによって外部ノイズにも内部的なクロストークにも強い通信装置ができる。さらにSiベンチ表面の電極パターンの間にもグラウンドパターンを挟むことによってクロストークをより完全に遮断することができる。

【0026】それだけでなくSi基板の入手しやすさ、コストという点でも有利である。高抵抗率のSi単結晶はSi半導体工業でもっとも頻繁に用いられるn型Siではなくて特別のSi単結晶である。用途も限られ生産量も少ない。だから入手しにくく高価額でもある。本発明は低抵抗率のありふれたn型Si単結晶を材料とすることができる。Si基板自体のコストを低減することができる。全体としてのコストも削減できる。

【0027】

【実施例】【実施例1(単機能表面実装モジュール)】

本発明は基板を低抵抗率のものにして、基板を接地し電極間にグラウンドパターンを設けてクロストークを防ぐというものである。だからこれまで述べた表面実装型の素子のいずれにも簡単に適用することができる。

【0028】図3、図4で説明したような単機能表面実装モジュールの従来例を本発明の思想によって改良すると、図8、図9のようになる。Si基板61の前半部に大V溝26、小V溝27が設けられ、フェール28と光ファイバ29が固定されるという点は図3、図4のも

のと同じである。Si基板61の一部にSiO₂絶縁膜21を設けてメタライズパターン22、23を印刷し光素子チップ24をパターン22に取り付ける点も同じである。Si基板61の表面に余裕があるので、Si基板61の表面一部に直接メタライズ領域を形成し、ここをグラウンド電極62とする。グラウンド電極62によってSi基板61自体もグラウンド電位となる。図3のSi基板20と図8のSi基板61の違いは抵抗率が低い事と接地されていることである。

【0029】Si基板61の広さは15mm×10mmで厚みは1mmとする。抵抗率は0.1Ωcmの基板である。光デバイス実装部（パターン22の絶縁層の直下）とグラウンドメタライズ62間の抵抗を計算してみる。グラウンドメタライズとパターン22の絶縁層の間隔が約3mmとし、グラウンドメタライズの半分（5mm）が伝導に寄与すると仮定し厚みが1mmであるから、 $R = 0.1 \times 0.3 / 0.1 \times 0.5$ で、概算0.6Ωとなる。高く見積もっても1Ω程度にすぎない。つまり光デバイス（光素子チップ）の絶縁層の直下のSiは良好なグラウンドとなる。このように絶縁層の上の電極パターンのすぐ下にグラウンド面があるというのが本発明の特徴である。

【0030】もし従来例の表面実装のようにSi基板抵抗率が100Ωcmならば光デバイス実装部とグラウンドメタライズ間の抵抗は1kΩとなる。大きい抵抗値であり、通常の高速電子回路の特性インピーダンス50Ωよりもずっと大きい。だから、たとえグラウンド面62を設けSi基板を接地しても堅固なグラウンドにならない。外部ノイズを防ぐ事はできずクロストークを抑えることもできない。Siの抵抗率が1Ωcmなら光デバイス実装部とグラウンドメタライズの間の抵抗は10Ω程度と評価される。これは高速回路の特性インピーダンス50Ωより小さいからSi基板は強いグラウンドとなりうる。だから1Ωcmという抵抗率が接地Siペンチとして使える抵抗の上限である。先ほどのように0.1Ωcmというのはもっと良い。

【0031】【実施例2（2本光ファイバ送受信型表面実装モジュール）】図6、図7のように送信系と受信系があるような場合は特に本発明の効果が著しい。その改良形を図10～図12に示す。Si基板65の上に2本の光ファイバ又は光導波路51、52が取り付けられ終端にLD59、PD58を配している点は同じである。Siペンチに絶縁膜50を設け、その上にPD58、LD59の配線パターン53～56を形成する点も同じである。本発明は低抵抗のSi基板65を用いSi基板65の一部を露呈し（絶縁膜を形成しないで）Si表面へ直接にメタライズパターン66、67、68、69、70を付ける。これらメタライズパターン66～70はグラウンドメタライズとする。つまりデバイスのメタライズと、グラウンドメタライズは高さが違うのである。デバイ

ス配線用メタライズはSiO₂絶縁膜50の上に、グラウンドメタライズはSi基板65の上に設ける。高さの違うメタライズが交互に設けられる。つまりデバイス用のメタライズはグラウンドメタライズによって分離されている。これはクロストークを抑制する上で効果的である。図12はその断面図を明瞭に示すためのものである。

【0032】Si基板の大きさは15mm×10mmで厚みは1mmとする。仮に図11に示す従来例のように、10ΩcmのSi基板（高抵抗率）を使い、グラウンドメタライズがないとすると、LDとPDの最近接電極間抵抗は約70Ω程度になる。電極の間隔が2mm、長さが3mm、厚み（Si基板の）が1mmとして $R = 10 \times 0.2 / 0.3 \times 0.1 = 70 \Omega$ となるからである。SiO₂の静電容量がC1、C2が間にあるが高い周波数の場合これは素通りする。Si基板を通しPDとLDが70Ωで結合してしまう。Si基板の中途半端な導電性のためにクロストークが発生する。「中途半端な」というのは少々理解しにくい。本発明はより導電性が高いものを使うがSi基板を接地してしまうから受信（PD）、送信（LD）間のクロストークが減少してしまうのである。従来例のようなものでも接地すればいいのではないかと思うだろうがそうでない。従来例のように抵抗率が高いSi基板だと一部を接地しても内部に電界ができて正確なアースにならない。「中途半端な」というのはそういう屈折した意味を持つ。単純でないことに注意すべきである。

【0033】本発明のように抵抗率が0.1ΩcmのSi基板65上に直接にグラウンド用メタライズ電極を形成すると、特に図10（平面図）のように櫛歯状に形成すると、図12（断面図）のように、LD、PDに関わる電極53、54、55、56間が低抵抗のグラウンドパターン66、67、68、69、70でアイソレーションされる。Siの抵抗率は基板を用いる。すると光デバイス実装部パターンとグラウンドメタライズ間の抵抗は0.1Ωcmであり、その間隔が約2mm、長さが3mmとして、概算0.7Ω（ $0.1 \times 0.2 / 0.3 \times 0.1$ ）である。高く見積もっても1Ω程度である。この場合低抵抗率Si基板65は良好なグラウンドになる。

【0034】もし従来例のようにSi基板抵抗率が100Ωcmならば、たとえ図10のようなグラウンドパターンを交互に設けてもグラウンドパターンと電極直下のSi間の抵抗は1kΩとなり、通常の高速電子回路のインピーダンス50Ωより大きい。Si基板は良いグラウンドでない。電位がふらつくグラウンドとなる。

【0035】Si基板の抵抗率が0.1Ωcmというのは良い基板である。もしSi基板の比抵抗（抵抗率）が1Ωcmなら、グラウンドパターンとデバイス電極直下のSiとの間の抵抗は10Ω程度である。特性インピーダンス50Ωと比較して、このあたりが使える上限である。だからこのタイプの表面実装素子の場合Si基板の

抵抗率の上限は $1\Omega\text{cm}$ である。この例で歯状メタライズ 66、67、68、69、70 は全てグラウンドメタライズである。一つだけ例えばメタライズ 70 だけをリードフレームのグラウンドに接続しても他のメタライズも Si 基板を介してグラウンドになる。 1Ω 程度ならそれで十分である。前記のように $1\Omega\text{cm}$ もあると、望ましくは、歯状メタライズ 66~70 の全てにグラウンド線をつなぐようにするとよい。

【0036】【実施例 3 (y 分岐導波路型表面実装モジュール)】光学的な構成は異なるが、図 5 に示す y 分岐導波路型の表面実装回路の従来例に対しても本発明を適用することができる。全く同じ構成が可能である。図 13 に本発明の構成を示す。

【0037】低抵抗率の Si 基板 71 に光導波路 32、33 が形成してある。分岐 34 で波長選択性を持つような二つの光導波路 32、33 が結合している。光導波路の主体は SiO₂ であるから光導波路を表面に持つということは、この Si 基板は表面が SiO₂ で覆われているということである。つまり基板に対して表面は絶縁されている。

【0038】Si 基板 71 の前方には絶縁層の上に電極パターン 35、36 が形成してある。光導波路 32 の終端に送信用 LD37 が、光導波路 33 の終端に受信用 PD38 が取り付けられる。LD37 は電極パターン 35 の上に、PD38 は電極パターン 36 の上にある。その他に LD 上部電極用パターン 40、PD 上部電極用パターン 41 など設けられる。PD の光電流を増幅する AMP39 は電極パターン 42、43 とワイヤで接続される。これらデバイスにつながる電極 40、35、41、36、42、43 は SiO₂ の上に形成される。

【0039】本発明は、デバイス用電極を分断するように、Si 基板へ直接に (SiO₂ の上でなく) グラウンドメタライズパターン 73、74、75、76、77、78、79 を設ける。メタライズパターンの断面図は図 12 と同様であるから図示を略した。Si 基板に直接付けたグラウンドパターンの何れか 1 本あるいは複数本をリードフレームのグラウンドを接続する。さらに念を入れて、Si 基板の底面に Cu 板を付け、これもグラウンドとしている。Cu は Si 基板よりもまだ低抵抗率 (高導電性) であるからグラウンドとしてより確固たるものとなる。より高い周波数までグラウンドたりうるということである。

【0040】図 13 の場合は、1 本の光ファイバで同時に送受信を行う ($1.3\mu\text{m}$ 光と $1.55\mu\text{m}$ 光で上りと下りを分ける波長多重同時双方向通信) いわゆる波長多重送受信モジュールの例である。同時送受信であるから、自分の LD37 のドライブ信号が受信回路の PD38、AMP39 に回り込むことが大きな問題となる。電氣的クロストークは極力低い事が要求される。そこで、グラウンド機能を強化するために、Si 基板を低抵抗として接地して (グラウンドとし)、Cu 板をベンチの下に接

着し、これもグラウンドとする。

【0041】以下にその方法を述べる。抵抗率 $0.1\Omega\text{cm}$ 、厚さ 1mm の Si 基板にまず $15\mu\text{m}$ の SiO₂ のアンダークラッド層 (下クラッド層) を火炎堆積法で形成し、次に Ge を添加して導波層を形成し、これから導波路となるパターンのみをエッチングで残す。さらに SiO₂ の上クラッド層を火炎堆積法で形成する。導波路が上下左右のクラッド層で挟まれる。導波層の断面は $6\mu\text{m} \times 6\mu\text{m}$ である。導波路の途中にマッハツエンダー型の光カプラ 34 を設けており、 $1.3\mu\text{m}$ 光と $1.55\mu\text{m}$ 光とを選択する機能を持たせる。

【0042】ここでは、送信光の $1.3\mu\text{m}$ -LD 光が (光導波路 32 を) 直進して光ファイバ 44 に出力される。反対に光ファイバ 44 から入射した受信光である $1.55\mu\text{m}$ 光がカプラによって光導波路 33 に導かれ受光素子 PD に入射する。LD/PD/AMP の近傍にはそれぞれの電極をつなぐメタライズ 40、41、42、43 が形成されている。LD37 は InGaAsP の $1.3\mu\text{m}$ -FP-LD である。PD38 は InGaAs-pin-PD である。AMP39 は GeAs-IC である。PD38 の受信信号を直して増幅するため、このような構成 (AMP を含む) にする事が多い。ここで、Si 全面に SiO₂ 層 (クラッド層) が存在するため、Si 基板表面を露出させた上に、Au メッキした歯状電極 (グラウンド電極) 73、74、75、76、77、78、79 を形成する。Si ベンチのサイズは $15\text{mm} \times 10\text{mm} \times 1.0\text{mm}$ である。

【0043】リードフレーム 81、82 は LD に通る電極パターン 40、35 にワイヤ 91、92 によって接続される。リードフレーム 83、84 は PD につながる電極パターン 41、36 にワイヤ 93、94 によって接続される。リードフレーム 85、86 は AMP の電極パターン 42、43 とワイヤ 95、96 によって接続される。これらはデバイスの電極パターンとリードフレームの接続である。

【0044】次にグラウンド系の接続について述べよう。Si 基板全体を厚さ 1mm の Cu 板 72 の上に導電性樹脂で接着している。Cu 板 72 の抵抗は非常に低いので、良好なグラウンドになる。従って歯状メタライズ電極 73~79 よりも、グラウンドリードフレーム 80、87 からこの Cu 板に Au ワイヤ 90、97 で導通をとることにより、Si 基板 + Cu 板のグラウンドはより強固なものとなる。メタライズパターンは個々にワイヤ 100 によって Cu 板 72 に接続される。

【0045】例えば、 $0.1\Omega\text{cm}$ の Si 基板を使い、Si 基板の厚みは 1mm で、幅 $0.5\text{mm} \times$ 長さ 3mm のメタライズ電極から Cu 板までの抵抗は、 0.7Ω 程度である。図 14 にその寸法などを示している ($0.1\Omega\text{cm} \times 0.1\text{cm} / 0.3 \times 0.05\text{cm} = 0.7\Omega$)。このような低抵抗の導体でも電極がアイソレーシ

ョンされていることになる。理想的なアイソレーションである。

【0046】さらに、各電極をリードフレームに接続して、送受信時のクロストークを評価した。その結果、従来の100nmのSi基板を用い、グラウンドのない(図5の従来例)時に比べて100MHzでのクロストークが20dB(1:0, 0:1)も改善された。本発明の著しい利益であると言える。

【0047】

【発明の効果】以上のように本発明では、従来抵抗率が高い方が良いとされたSi基板の抵抗率を逆に低い方がよいということに初めて気付いた。高抵抗のSi基板は作り難く用途も少ないから高コストであった。低抵抗率のSi基板は半導体工業で大量に消費されているものと同じでありふれている。Si基板のコストを抑制できる。さらに低抵抗Si基板を接地し、これまで想像もされなかった節電状のグラウンド電極構造を導入するなどして、Si基板を積極的にグラウンドとして使用する。堅固なグラウンドがメタライズ電極を包囲するので送受信間(LD・PD間)のクロストークを抑え、外部ノイズからもPDを守る事ができる。全く新しい発想で、低コスト、高性能の光通信装置を実現できる。

【図面の簡単な説明】

【図1】従来例にかかる立体型の半導体発光素子の縦断面図。

【図2】従来例にかかる立体型の半導体受光素子の縦断面図。

【図3】従来例にかかる単機能表面実装型モジュールの平面図。

【図4】同じ従来例にかかる単機能表面実装型モジュールの縦断面図。

【図5】従来例にかかる γ 分岐光導波路型表面実装モジュールの平面図。

【図6】従来例にかかる2本光ファイバ光送受信型表面実装モジュールの平面図。

【図7】(a)は同じ従来例にかかる2本光ファイバ送受信モジュールの電極パターン部分の縦断面図。(b)は電極・Si基板間の等価回路図。

【図8】単機能表面実装型モジュールに本発明を適用したモジュールの平面図。

【図9】同じ単機能表面実装型モジュールに本発明を適用したモジュールの縦断面図。

【図10】2本光ファイバ光送受信モジュールに本発明を適用したモジュールの平面図。

【図11】高抵抗基板を用いてグラウンドメタライズがないとする従来例の場合のSiO₂層、Si基板を介した隣接電極間の等価回路。

【図12】図10の2本光ファイバ送受信モジュールの電極部分の縦断面図。

【図13】 γ 分岐光導波路型光送受信モジュールに本発

明を適用したモジュールの平面図。

【図14】Si基板の上に直接に設けた電極と表面のCu板との間の抵抗を求めるための説明図。

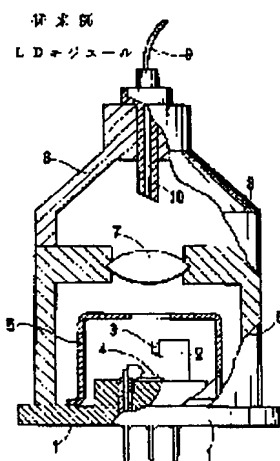
【符号の説明】

- 1 ステム
- 2 ボール
- 3 LD
- 4 モニタPD
- 5 キャップ
- 6 レンズホルダー
- 7 レンズ
- 8 フェルールホルダー
- 9 光ファイバ
- 10 フェルール
- 11 ステム
- 12 サブマウント
- 13 PD
- 14 レンズ
- 15 キャップ
- 16 フェルールホルダー
- 17 ベンドリミッタ
- 18 フェルール
- 19 光ファイバ
- 20 Siベンチ
- 21 絶縁層
- 22 メタライズパターン
- 23 メタライズパターン
- 24 光素子チップ
- 25 ワイヤ
- 26 大V溝
- 27 小V溝
- 28 フェルール
- 29 光ファイバ
- 30 マウント
- 31 Siベンチ
- 32 光導波路
- 33 光導波路
- 34 γ 分岐
- 35 LD下電極パターン
- 36 PD下電極パターン
- 37 LD
- 38 PD
- 39 AMP
- 40 電極パターン
- 41 電極パターン
- 42 電極パターン
- 43 電極パターン
- 44 光ファイバ
- 49 Si基板
- 50 絶縁層

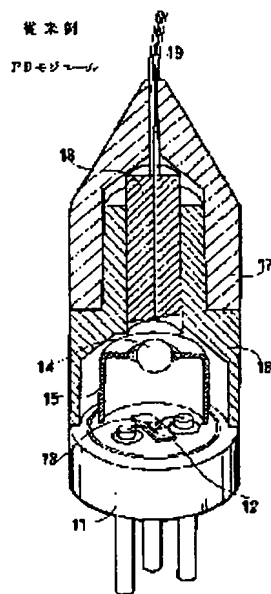
51 光ファイバ
 52 光ファイバ
 53~56 電極メタライズパターン
 58 PDチップ
 59 LDチップ
 61 Si基板
 62 グランドメタライズ
 65 Si基板
 66~70 グランドメタライズパターン

71 Si基板
 72 Cu板
 73~79 グランドメタライズパターン
 80 グランドリードフレーム
 81~86 リードフレーム
 87 グランドリードフレーム
 90~97 ワイヤ
 100 ワイヤ

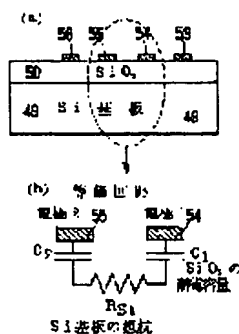
【図1】



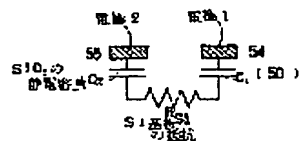
【図2】



【図7】

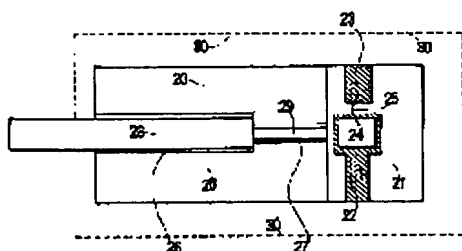


【図11】

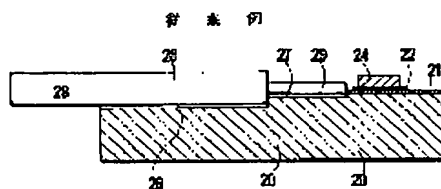


【図3】

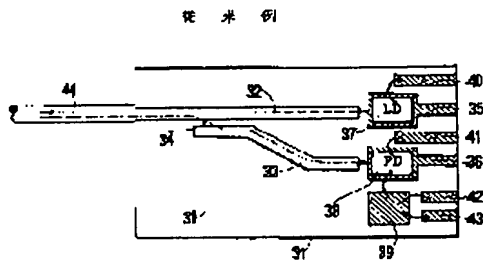
従来例



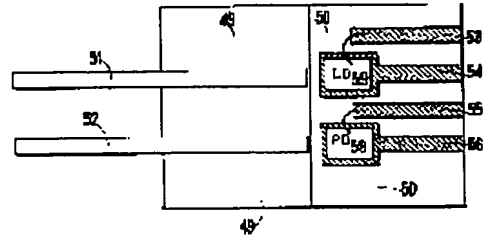
【図4】



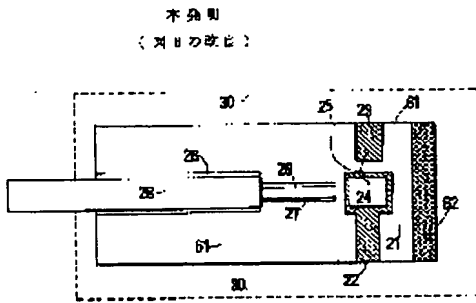
【図5】



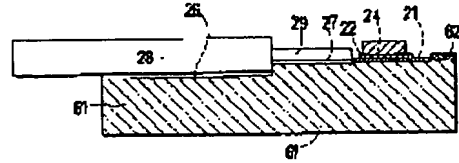
【図6】



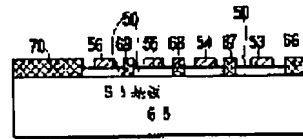
【図8】



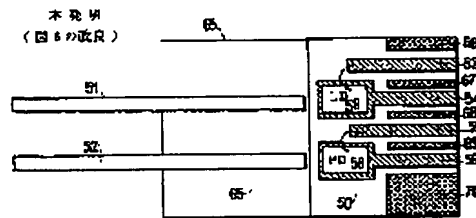
【図9】



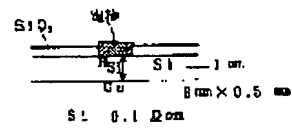
【図12】



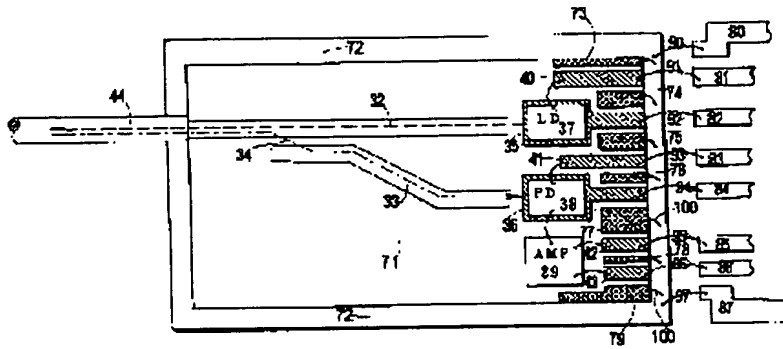
【図10】



【図14】



【図 13】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.